

# Semiconductor device with electrostatic discharge protective circuit

Patent number: CN1404149  
Publication date: 2003-03-19  
Inventor: MORIO HIRATA (JP)  
Applicant: NIPPON ELECTRIC CO (JP)  
Classification:  
- International: H01L21/8247; H01L21/336; H01L21/822; H01L21/8238; H01L23/60; H01L23/62; H01L27/02; H01L27/04; H01L27/06; H01L27/088; H01L27/092; H01L27/115; H01L29/78; H01L29/788; H01L29/792; H02H3/22; H02H7/20; H03K17/08; H03K19/003; H01L21/02; H01L21/70; H01L23/58; H01L27/02; H01L27/04; H01L27/06; H01L27/085; H01L27/115; H01L29/66; H02H3/20; H02H7/20; H03K17/08; H03K19/003; (IPC1-7): H01L27/088; H01L23/60; H01L29/788; H03K17/08; H03K19/003  
- european: H01L27/02B4F6  
Application number: CN20021041822 20020625  
Priority number(s): JP20010191651 20010625

Also published as:

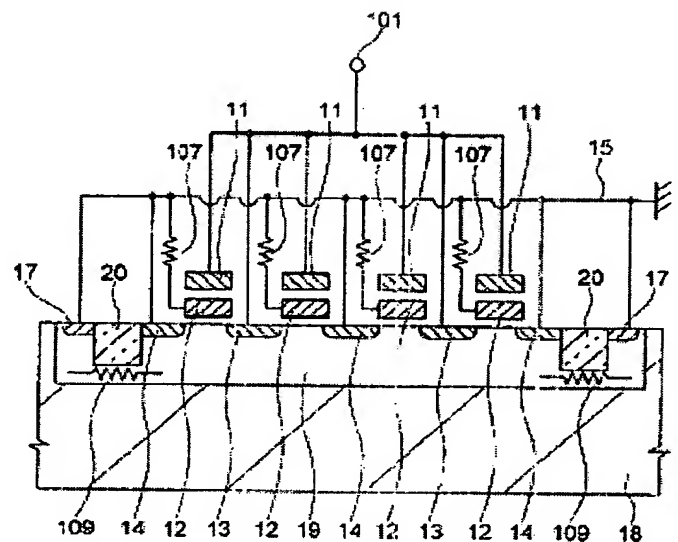
US6670679 (B2)  
US2002195648 (A1)  
JP2003007833 (A)  
GB2381951 (A)  
DE10228337 (A1)

Report a data error here

Abstract not available for CN1404149

Abstract of correspondent: US2002195648

A protective circuit includes a floating gate MOSFET having a source-drain path connected between an I/O line and a source line or a ground line, a control gate connected to the I/O line and a floating gate connected to the source line or the ground line.



Data supplied from the [esp@cenet](mailto:esp@cenet) database - Worldwide

[19] 中华人民共和国国家知识产权局

[51] Int. Cl<sup>7</sup>

H01L 27/088

H01L 23/60 H01L 29/788

H03K 17/08 H03K 19/003



# [12] 发明专利申请公开说明书

[21] 申请号 02141822.5

[43] 公开日 2003 年 3 月 19 日

[11] 公开号 CN 1404149A

[22] 申请日 2002.6.25 [21] 申请号 02141822.5

[30] 优先权

[32] 2001.6.25 [33] JP [31] 2001-191651

[71] 申请人 日本电气株式会社

地址 日本东京都

[72] 发明人 平田守央

[74] 专利代理机构 中科专利商标代理有限责任公司

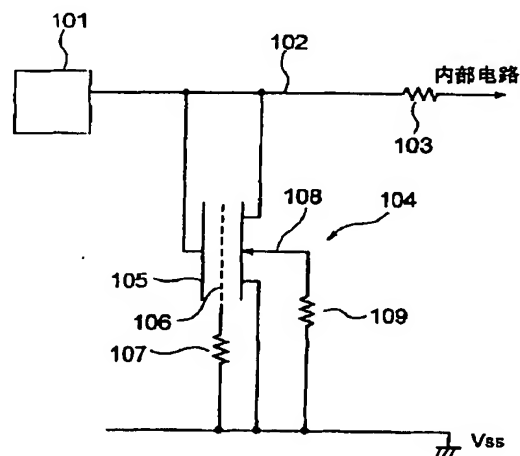
代理人 王 玮

权利要求书 2 页 说明书 12 页 附图 13 页

[54] 发明名称 具有静电放电保护电路的半导体器件

[57] 摘要

一种具有静电放电保护电路的半导体器件，包括浮栅 MOSFET，该浮栅 MOSFET 具有连接在 I/O 线和源线或地线之间的源-漏通路、连接到 I/O 线的控制栅、以及连接到源线或地线的浮栅。



1. 一种半导体器件，包括半导体衬底，形成在所述半导体衬底  
5 上的内部电路，以及保护所述内部电路不受静电放电击穿的保护电  
路，所述保护电路包括至少一个第一浮栅MOSFET，所述第一浮栅  
MOSFET具有连接在I/O线和恒定电位线之间的源-漏通路、连接到所  
述I/O线的控制栅、连接到所述恒定电位线或第一线的浮栅。

2. 根据权利要求1所述的半导体器件，其中所述浮栅通过浮栅电  
10 阻连接到所述恒定电位线。

3. 根据权利要求1所述的半导体器件，其中所述第一浮栅  
MOSFET具有通过背栅电阻连接到所述恒定电位线的背栅。

4. 根据权利要求1所述的半导体器件，其中所述第一浮栅  
MOSFET是nMOSFET，所述恒定电位线是地线。

15 5. 根据权利要求1所述的半导体器件，其中所述第一浮栅  
MOSFET是pMOSFET，所述恒定电位线是高电压电源线。

6. 根据权利要求1所述的半导体器件，其中所述保护电路包括至  
少一个第二浮栅MOSFET，所述第二浮栅MOSFET具有连接在所述I/O  
线和另一恒定电位线之间的源-漏通路，连接到所述I/O线的控制栅、  
20 通过浮栅电阻连接到所述另一恒定电位线的浮栅。

7. 根据权利要求1所述的半导体器件，其中所述保护电路还包括  
至少一个第二浮栅MOSFET，所述第二浮栅MOSFET具有连接在所述  
I/O线和另一恒定电位线之间的源-漏通路，连接到所述I/O线的控制  
栅、连接到与所述内部电路相连的所述第一线的浮栅。

25 8. 根据权利要求1所述的半导体器件，其中所述至少一个第一浮  
栅MOSFET包括多个并联的相同导电类型的浮栅MOSFET。

9. 根据权利要求8所述的半导体器件，其中所述第一浮栅  
MOSFET具有用于所述控制栅和所述浮栅中的每一个的多个指。

10. 根据权利要求3所述的半导体器件，其中所述源-漏通路形成  
30 在阱中。

11. 根据权利要求10所述的半导体器件, 其中所述背栅电阻是由绝缘膜的底部和所述阱的底部之间的距离限定的电阻。

12. 根据权利要求1所述的半导体器件, 其中所述浮栅由掺有杂质的多晶硅制成。

5 13. 根据权利要求12所述的半导体器件, 其中在输入过高电压时, 耗尽层形成在所述浮栅和/或所述控制栅中。

14. 根据权利要求13所述的半导体器件, 其中所述浮栅具有 $10^{18}$ 到 $10^{19}$ 原子/cm<sup>3</sup>的杂质浓度。

10 15. 根据权利要求1所述的半导体器件, 其中所述控制栅为硅化物层。

16. 根据权利要求1所述的半导体器件, 其中所述控制栅包括多晶硅。

17. 根据权利要求1所述的半导体器件, 其中从上向下看, 所述控制栅和所述浮栅相互部分重叠。

15 18. 根据权利要求1所述的半导体器件, 其中所述至少一个浮栅MOSFET包括多个串联的相同导电类型的MOSFET。

19. 一种半导体器件, 包括半导体衬底, 形成在所述半导体衬底上的内部电路, 以及保护所述内部电路不受静电放电击穿的保护电路, 所述保护电路包括至少一个第一浮栅MOSFET, 所述第一浮栅  
20 MOSFET具有连接在第一I/O线和第二I/O线之间的源-漏通路、连接到所述第一I/O线的控制栅、连接到地线的浮栅。

20. 根据权利要求19所述的半导体器件, 其中所述保护电路还包括与所述第一浮栅MOSFET导电类型相同的至少一个第二浮栅MOSFET, 所述第二浮栅MOSFET具有连接在所述第一I/O线和所述第二I/O线之间的源-漏通路、连接到所述第二I/O线的控制栅、连接到  
25 所述地线的浮栅。

## 具有静电放电保护电路的半导体器件

5

### 技术领域

本发明涉及具有静电放电（ESD）保护电路的半导体器件，特别是涉及具有保护半导体器件的内部电路不受ESD击穿的ESD保护电路的半导体器件。

10

### 背景技术

制造在半导体衬底上的半导体集成电路（或半导体器件）通常包括如MOSFET之类的半导体元件。现已公知MOSFET易受ESD击穿，其中诸如静电脉冲电压之类过高的输入电压进入并损坏半导体器件。由此，在半导体器件中保护半导体元件不受ESD击穿造成的损伤的技术对半导体器件很重要。对于该技术，已提出并采用了大量建议。

随着半导体器件集成度的进一步提高以及对低工作电压和低功耗的开发，构成半导体器件的半导体元件具有越来越小的尺寸，由此增加了单位面积的数量。这导致了增加具有较小尺寸和较高密度封装的半导体元件、特别是MOSFETs的ESD击穿的可能性。

在包括较小尺寸的半导体元件的半导体器件中，外围电路的工作电压通常高于内部电路的工作电压。例如，外围电路在5V电源下工作，而内部电路在2V电源下工作。因此，MOSFET的栅绝缘膜在外围电路中比内部电路中的栅绝缘膜厚。

此外，在半导体器件中越来越多地采用具有存储器、逻辑和模拟电路组合的芯片上系统（system-on-chip）结构。其中，具有快闪存储器或非易失存储器和逻辑电路的组合器件包括大量的浮栅MOSFET。到目前为止，在具有非易失存储器的半导体器件中不使用浮栅MOSFET。

在JP-A-63-202056中描述了用于保护半导体器件的常规ESD保护

电路。图1A示出了介绍的ESD保护电路，图1B示出了它的示意性剖面图。

在图1A中，输入72的一端连接到输入端子71，同时在另一端连接到未示出的内部电路中MOSFET的栅极。ESD保护性nMOSFET73  
5 连接在输入线72和地线VSS之间，nMOSFET73具有保持在地电位（VSS电位）的栅极。

以上介绍的nMOSFET73通常具有大尺寸。虽然ESD保护器件中包括单个nMOSFET73，nMOSFET73根据高电压脉冲的输入作为一个双极晶体管。由此，在图1A中，寄生双极晶体管74描绘在输入线72  
10 和地线之间。

在图1B中，保护性nMOSFET73形成在p型半导体衬底75上，其中构成漏极并连接到输入端71的n<sup>+</sup>扩散区76由覆盖的栅电极77环绕，该栅电极由构成源极的另一n<sup>+</sup>扩散区78环绕。

由虚线画出的寄生NPN双极晶体管74包括在半导体衬底75处的  
15 基极、在nMOSFET73的源极78处的发射极以及在nMOSFET73的漏极76处的集电极。应该注意，源极78连接到地线VSS，由金属焊盘构成的输入端71形成在漏极76上。

在图1A和1B的常规半导体器件中，如果过高的输入电压通过输入线71施加到漏极76，那么雪崩击穿首先发生在半导体衬底75和漏极  
20 76之间的栅电极77正下方形成的p-n结处。雪崩击穿产生大量带正电的空穴作为多数载流子。如此产生的带正电的空穴将半导体衬底15的电位升高到正电位，使寄生双极晶体管在快反向（snapback）模式下工作。寄生双极晶体管的快反向方式使nMOSFET导通，释放并降低了由过高输入电压引起的漏极76的电位。

25 p-n结的雪崩击穿通常位于大尺寸的nMOSFET中。此时，由雪崩击穿引起的双极模式保持在首先发生击穿的nMOSFET的有限区域。由此，首先发生雪崩击穿的局部区域有可能受到ESD击穿损伤。LDD结构的扩散区增强了nMOSFET的双极模式的局部性，因此局部击穿非常有可能在具有LDD结构的MOSFET中发生。

30 此外，nMOSFET易于受到它的栅绝缘膜击穿损伤。对于小尺寸

的MOSFET更容易发生栅绝缘膜击穿。栅绝缘膜击穿被认为是由于雪崩击穿产生大量的正电荷空穴使半导体衬底电位升高造成的。正电荷空穴从半导体衬底15进入到栅绝缘膜17内，与半导体衬底15相比，进一步升高了栅绝缘膜的电位。

5 图2示出了另一常规ESD保护电路，其中输入线82连接到输入端81，同时也连接到未示出的内部电路中的MOSFET的栅极。保护电路包括连接在高电压电源线（VCC线）和输入线82之间的pMOSFET83、和连接在输入线82和地线VSS之间的nMOSFET84。pMOSFET83具有同时连接到VCC线的栅极和背栅(或阱)。nMOSFET84具有同时连接  
10 到地线VSS的栅极和背栅（或阱）。

如果具有正极的过高输入电压施加到输入端81，由在nMOSFET84的漏极上形成的p-n结的雪崩击穿产生正电荷空穴。正电荷空穴升高了半导体衬底15的电位，由此使nMOSFET84工作在双极模式，并导致快反向击穿。类似地，如果具有负极的过高电压施加到  
15 输入端81，由pMOSFET83漏极上形成的p-n结的雪崩击穿产生电子。电子降低了半导体衬底的电位，由此使pMOSFET工作在双极模式并引起快反向击穿。应该注意，如果如上所述的任一过高电压施加到输入端81，那么漏极上的p-n结正向偏置。通过构成二极管的p-n结发生ESD。

20 在图2的常规保护电路中，如果不会引起雪崩击穿的高输入电压施加到输入端，那么保护电路不就会响应高输入电压。由于雪崩击穿电压不能调整到满意的低电平，因此很难得到具有所需工作电压的图2的保护电路。相反，由于较小栅极长度和较小厚度的栅绝缘膜允许MOSFET响应较低的脉冲电压和产生ESD，因此就能得到具有所需工  
25 作电压的图1A的保护电路。

在目前的半导体器件中，p-n结的耐压具有超过由MOSFET精细图形比例缩小限定的期望电压的趋势。此外，在例如快闪EEPROM的非易失存储器中，编程/擦除电压显著高于电源电压。因此，在p-n结的雪崩击穿之前经常发生栅绝缘膜击穿。

30 作为图1A和2的保护电路中的共同问题，与内部电路中的其它

MOSFET相比，提供在保护电路中的MOSFETs具有较大的尺寸。例如，保护电路中的MOSFET具有 $1\mu\text{m}$ 的栅极长度(L)和 $500\mu\text{m}$ 的栅极宽度(W)。为此，保护电路中的MOSFET包括并列的十个单元的MOSFET，每个单元具有，例如 $50\mu\text{m}$ ，的栅极宽度的栅电极。在该  
5 结构中，局部雪崩击穿具有在十个单元的MOSFET中激活特定单元的趋势，由此集中在单个单元MOSFET的击穿电压损伤了该MOSFET并损伤了保护电路自身。

图3示出了另一常规保护电路，其中nMOSFET93连接在输入线92和地线VSS之间，nMOSFET93具有借助电容器94连接到I/O线92和借  
10 助电阻器95连接到地线VSS的栅电极。

在图3的保护电路中，如果静电高压脉冲施加到I/O线92，nMOSFET93的栅极电位借助电容器94暂时升高，由此nMOSFET93导通，以便实施静电放电(或ESD)。通过将电阻器95的电阻值设置为合适的值，可以调节nMOSFET93的工作电压。

15 与很难控制p-n结雪崩击穿电压的图1A和2的保护电路相比，图3的保护电路更有效地控制了工作电压。然而，图3的保护电路具有这种类型的nMOSFET不能用作输出缓冲器的缺点。

## 发明内容

20 鉴于常规技术中的以上问题，本发明的一个目的是提供一种具有ESD保护电路的半导体器件，该电路能够保护半导体器件的内部电路不受ESD击穿，保护电路占有有限的面积并具有简化的结构。

本发明提供一种半导体器件，包括半导体衬底，形成在半导体衬底上的内部电路，以及保护内部电路不受静电放电击穿的保护电路，  
25 保护电路包括至少一个第一浮栅MOSFET，第一浮栅MOSFET具有连接在输入/输出线(I/O线)和恒定电位线之间的源-漏通路、连接到I/O线的控制栅、连接到恒定电位线或第一线的浮栅。

本发明还提供一种半导体器件，包括半导体衬底，形成在半导体衬底上的内部电路，以及保护内部电路不受静电放电击穿的保护电路  
30 ，保护电路包括至少一个第一浮栅MOSFET，第一浮栅MOSFET具有



连接在第一I/O线和第二I/O线之间的源-漏通路、连接到第一I/O线的控制栅、连接到地线的浮栅。

- 根据本发明的半导体器件，因接收到过高输入电压的控制栅的电位升高造成第一浮栅MOSFET首先工作在夹断模式，由此在半导体衬底中产生正电荷空穴。由浮栅MOSFET中存在的寄生双极晶体管使如此产生的正电荷空穴触发浮栅MOSFET工作在均匀的双极模式。浮栅MOSFET的均匀双极模式操作允许其均匀的快反向击穿，由此保护电路能保护内部电路不受到过高的输入电压侵害，例如与时钟信号相比，该输入电压具有相对较低的电压，不会损伤它的保护器件。
- 10 参考附图，从下面的说明中，本发明的以上和其它目的、特点及优点将变得显而易见。

#### 附图说明

- 图1A是常规ESD保护电路的等效电路图，图1B是图1A的保护电路的截面图。
- 15 图2是另一个常规ESD保护电路的等效电路图。
- 图3是另一个常规ESD保护电路的等效电路图。
- 图4是根据本发明第一实施例的ESD保护电路的等效电路图。
- 图5是根据本发明第一实施例的另一个ESD保护电路的等效电路
- 20 图。
- 图6是图4的ESD保护电路的俯视平面图。
- 图7是沿图6的VII-VII线截取的图4的ESD保护电路的截面图。
- 图8是根据第一实施例和常规保护电路的保护电路的漏极电流特性的曲线图。
- 25 图9是根据本发明第二实施例的ESD保护电路的等效电路图。
- 图10是根据本发明第三实施例的ESD保护电路的等效电路图。
- 图11是根据本发明第四实施例的ESD保护电路的等效电路图。
- 图12A是根据本发明第五实施例的ESD保护电路的截面图，图12B是图12A的ESD保护电路的等效电路图。
- 30 图13A和13B示出了第五实施例中的电压轮廓曲线。

图14示出了第五实施例的效果曲线图。

### 具体实施方式

现在，参考附图更具体地描述本发明。参考图4，根据本发明第一实施例的ESD保护电路（下文简称为保护电路）包括连接在接到输入/输出端（I/O端）101的输入/输出线（I/O线）102和地线VSS之间的浮栅nMOSFET104。I/O线102借助保护电阻103连接到内部电路中的MOSFET的栅极。

nMOSFET104包括连接到I/O线102的控制栅105、通过浮栅电阻107连接到地线VSS的浮栅106、以及通过背栅电阻109连接到地线VSS的背栅108。

参考图5，除了代替图4中的nMOSFET104，浮栅pMOSFET104a连接在I/O线102和地线VSS之间之外，根据第一实施例的另一个保护电路类似于图4的保护电路。浮栅pMOSFET104a包括连接到I/O线102的控制栅105、通过浮栅电阻107a连接到地线VSS的浮栅106a，以及通过背栅电阻109a连接到地线VSS的背栅108a。

参考示出了图4的保护电路结构的图6，I/O线102从I/O端延伸出，并通过通孔110连接到浮栅nMOSFET104的控制栅电极105的多个分离指11。浮栅电极106的多个分离指12位于控制栅电极105的各个指11的下面，绝缘膜介于其间。I/O线102通过多个分支线和多个通孔112也连接到漏扩散区13。

浮栅nMOSFET104包括多个源扩散区14，每个与对应的漏扩散区13相对，控制栅电极和浮栅电极的指11和12设置在其间。源扩散区14借助通孔113连接到地线VSS15的分支线。浮栅电极12的每个指11借助抗蚀剂层16和通孔111连接到地线VSS15。环行扩散区17环绕源和漏扩散区13和14。

浮栅电极106的指12由掺杂杂质离子的多晶硅制成，杂质离子的浓度为 $10^{18}$ 到 $10^{20}$ 原子/cm<sup>3</sup>。抗蚀剂层16由掺杂杂质离子的多晶硅制成，杂质离子浓度为浮栅电极106的指12的杂质离子浓度的1/10。抗蚀剂层16构成浮栅电阻107。

参考图7, nMOSFET具有形成在p阱19中的源和漏扩散区14和13, 例如形成在n型硅衬底18的表面区域中。p阱19具有约 $10^{17}$  原子/cm<sup>3</sup>的杂质浓度。元件隔离(绝缘)膜20选择性地形成在p阱19的表面区域上。背栅电阻19正好形成在元件隔离膜20下的p阱19内。通过元件  
5 隔离膜20的厚度控制背栅电阻109的电阻。

源和漏扩散区14和13为n型, 而环行扩散区17为p型。浮栅电极105的每个指11覆盖在源扩散区13和漏扩散区14之间的p阱19上, 隧道氧化膜介于p阱19和浮栅电极12之间。控制栅电极的每个指11覆盖在浮栅电极106的对应指12上, 绝缘层介于其间。

10 虽然在图3和4中显示的控制栅105和浮栅106的每一个都分成四个指11和12, 但这些电极105和106中的每一个优选分成例如10个指。换句话说, 在本例中nMOSFET 104包括10个单元的nMOSFET。此时, 指的宽度设计为1 $\mu$ m左右, 它的长度设计为40 $\mu$ m左右。

15 在操作中, 如果正极性的过高输入电压施加到图4中的I/O端101, 那么由于浮栅106和连接到I/O线102的控制栅105之间的容性耦合, 造成浮栅106的电位暂时升高。由层间电极绝缘膜和隧道氧化膜的电容及浮栅电阻107的电阻确定浮栅106的峰值电压 $\Delta V_{FG}$ 和暂时电位升高的上升周期。

20 在过高输入电压施加的初始阶段或施加后的1到10纳秒左右, 浮栅106的电位升高使nMOSFET 104的浮栅导通, 由此产生正电荷空穴。

浮栅nMOSFET 104的导通机理如下。在图4中, 通过I/O线101将过高的输入电压提供到漏扩散区13, 由此浮栅电极106的峰值电位 $\Delta V_{FG}$ 超过了浮栅nMOSFET 104的阈值电压。因此, 浮栅nMOSFET 104  
25 进入夹断模式, 使电子从源扩散区14向漏扩散区13流动。由于“碰撞电离”, 这些电子在漏扩散区13附近产生正电荷空穴。

由碰撞电离产生的正电荷空穴升高了p阱19的电位。然后, 浮栅nMOSFET 104以双极模式均匀操作, 摆脱了浮栅nMOSFET 104的主ESD操作中过高输入电压的控制。

30 更具体地说, 由碰撞电离产生的正电荷空穴大量地集中在作为背

栅19的p阱19中。由于热扩散，如此聚集的正电荷空穴在p阱19中扩散。扩散的正电荷空穴向外流到硅衬底，或穿过源扩散区14流到地线VSS。如果源扩散区14为小区域，那么大多数的正电荷空穴与p阱19中的电子重新复合或穿过具有较大面积的环行扩散区17向外流到地线VSS。具有大电阻的背栅109抑制了穿过环行扩散区17流出的正电荷空穴，由此浮栅nMOSFET 104以均匀的双极模式操作。

由于正电荷空穴，p阱19中正极性的电位升高使浮栅nMOSFET 104工作在均匀的双极模式，作为横向NPN晶体管，源扩散区14作为发射极、漏扩散区13作为集电极、p阱19自身作为基极。在漏扩散区13发生雪崩击穿之前，双极模式工作的快反向击穿可以得到浮栅nMOSFET 104的均匀的双极模式操作。

以上操作显示在图8中，其中漏-源电流 $I_D$ 绘制在纵坐标，漏-源电压 $V_{DS}$ 与之相对应，浮栅保持在VSS电位。在图8中，虚线示出了常规保护电路的特性曲线，而实线示出了以上实施例的特性曲线。顶部的箭头画出了浮栅nMOSFET 104中绝缘击穿的情况。从该图中可以了解到本发明中绝缘的击穿电压显著低于雪崩击穿电压。

如上所述，在施加过高输入电压的初始阶段正电荷空穴没有堆积在p阱19中的虚线的情况，首先发生雪崩击穿，之后是由雪崩击穿产生的正电荷空穴造成的快反向击穿。相反，在以上的实施例中，在初始阶段产生的正电荷引起快反向击穿，没有发生雪崩击穿。这使得浮栅nMOSFET 104的栅电极的所有指都均匀激活，以使nMOSFET 104工作在双极模式。此外，大量的电子由源扩散区14注入到p阱19中并流到漏扩散区13，由碰撞电离产生的正电荷空穴升高了正极性中的p阱19的电位。换句话说，在本实施例中发生正反馈。由此，通过工作在NPN双极晶体管模式中的nMOSFET 104实现响应过高输入电压的ESD。

如上所述，本实施例中的浮栅nMOSFET 104首先工作在夹断模式，以便输入过高电压时产生正电荷空穴，如此产生的正电荷空穴使浮栅nMOSFET 104工作在双极模式，同时单元MOSFETs均匀地工作。即，根据本发明，与图1A的常规保护电路不同，大尺寸的浮栅

nMOSFET均匀地工作在双极模式，由此抑制了由于击穿的不均匀性造成的MOSFET损伤。

此外，与图2的保护电路相比，浮栅nMOSFET的击穿开始于较低的施加电压，由此使MOSFET的工作电压低于内部电路中MOSFET的栅绝缘膜的击穿电压。由此，本实施例的保护电路更安全地保护了内部电路。

在以上第一实施例的工作原理介绍中，以图4的保护电路为例。具有浮栅pMOSFET的图5保护电路的工作原理类似于具有nMOSFET的图4保护电路。这种情况下，由电子代替正电荷空穴工作，在此省略了对它的详细说明。

参考图9，根据本发明的第二实施例的保护电路连接在一对I/O端子21和22之间，向该对I/O端子施加不同的源电压。

在图9中，第一I/O线22连接到第一I/O端子21，并借助电阻连接到内部电路，而第二I/O线24连接到第二I/O端子，并借助电阻连接到内部电路。

保护电路包括第一浮栅nMOSFET25和第二浮栅nMOSFET26，它们的源/漏通路并联在第一I/O线22和第二I/O线24之间。第一浮栅nMOSFET25具有连接到第一I/O线22的控制栅45，和借助浮栅电阻27连接到地线VSS的浮栅46。第二浮栅nMOSFET26具有连接到第二I/O线24的控制栅47，以及借助浮栅电阻28连接到地线VSS的浮栅48。两个浮栅nMOSFETs25和26的背栅29借助浮栅电阻30连接到地线VSS。第二实施例的保护电路的基本工作原理类似于第一实施例的工作原理。

参考图10，根据本发明第三实施例的保护电路包括连接在I/O线32和地线VSS之间的浮栅nMOSFET104，和连接在I/O线32和VCC线之间的浮栅pMOSFET104a。本实施例是图4的保护电路与图5的保护电路的组合，组成元件的参考数字与图4和5中的类似。第三实施例的保护电路的工作原理类似于第一实施例的工作原理。

参考图11，本发明的第四实施例是将本发明应用于输出缓冲器。更具体地说，本发明的保护电路包括串联连接在VCC线和地线VSS之

间的浮栅pMOSFET36a和浮栅nMOSFET36。输出端34连接到输出线35，输出线35连接到连接浮栅pMOSFET36a和浮栅nMOSFET36的节点。

浮栅pMOSFET36a和浮栅nMOSFET36两者的控制栅37a和37连接在一起，也连接到输出线35。浮栅pMOSFET36a和浮栅nMOSFET36的浮栅38a和38一起连接到来自内部电路的输出信号线39。浮栅pMOSFET36a的背栅41a借助浮栅电阻42a连接到VCC线，而浮栅nMOSFET36的背栅41借助于浮栅电阻42连接到地线VSS。

本实施例的保护电路的工作原理类似于第一实施例的工作原理。此外，除了ESD保护操作，本实施例中的浮栅pMOSFET36a和浮栅nMOSFET36的操作类似于输出缓冲器。即，由输出信号线39输送的输出信号穿过浮栅pMOSFET36a和浮栅nMOSFET36传送并通过输出端34传送到外部电路。由于输出缓冲器通常具有大尺寸，因此这种结构显著减少了半导体器件占据的面积。

参考图12，根据本发明第五实施例的保护电路包括浮栅nMOSFET60。

图12A的nMOSFET60包括漏扩散区52和源扩散区53，都具有n导电类型并且都形成在p型硅衬底51的表面区域上。隧道氧化膜54、浮栅电极55、层间电极绝缘膜56和控制栅电极57按顺序形成在漏扩散区52和源扩散区53之间的硅衬底51的空间上。隧道氧化膜54由厚度约10nm的氧化硅制成，而层间电极绝缘膜56为三层结构，包括氧化硅、氮化硅和氧化硅膜（ONO结构）。就氧化硅厚度而言，层间电极绝缘膜56具有约20nm的厚度。

浮栅电极55由多晶硅制成，多晶硅掺有例如磷或砷等的n型杂质，浓度为 $10^{18}$ 到 $10^{19}$  原子/cm<sup>3</sup>。控制栅电极57由硅化物制成。

漏扩散区52和控制栅电极67一起连接到I/O端子58。源扩散区53连接到地线VSS，浮栅电极55借助浮栅电阻R<sub>FG</sub>连接到地线VSS。在该结构中，输入过高电压之后，耗尽层59形成在浮栅电极55内，如图12A所示。

图12B示出了输入过高电压之后图12A的浮栅nMOSFET的等效

电路图。在nMOSFET60中，形成在控制电极57和浮栅电极55之间的第一电容C1、对应于耗尽层59的第二电容Cd，以及形成在浮栅电极55和硅衬底51之间的第三电容C2串联连接。浮栅电极55具有借助浮栅电阻R<sub>FG</sub>连接到地线VSS的节点61。

- 5       如果具有如图13A所示阶跃幅值V<sub>D</sub>的过高阶跃电压施加到I/O端子58，那么在浮栅55的节点61产生电压脉冲，电压脉冲具有图13B所示的脉冲幅值ΔV<sub>FG</sub>和脉冲宽度τ。类似于上面的实施例，电压脉冲使浮栅nMOSFET60暂时工作在夹断模式。

- 10       在以浮栅电阻R<sub>FG</sub>、第一电容C1和第三电容C3以及浮栅中的杂质浓度作为参数进行的模拟，证实耗尽层59（如果形成的话）引起脉冲幅值ΔV<sub>FG</sub>和阶跃幅值V<sub>D</sub>之间的非线性关系，其中在特定范围内，随着V<sub>D</sub>增加ΔV<sub>FG</sub>急剧增加。

- 15       图14示出了通过模拟得到的阶跃幅值V<sub>D</sub>和脉冲幅值ΔV<sub>FG</sub>间的关系。从图14可以了解到，如果在浮栅55中没有形成能够任何耗尽层，那么脉冲幅值ΔV<sub>FG</sub>与阶跃幅值V<sub>D</sub>的增加成正比，其中：

$$\Delta V_{FG} = a \times C1 / (C1 + C2) V_D$$

- 20       相反，如果在浮栅中形成耗尽层59，虽然对于小数值范围的V<sub>D</sub>，关系ΔV<sub>FG</sub> = a V<sub>D</sub> × C1 / (C1 + C2) 成立，其中“a”为常数，但随着V<sub>D</sub>的增加，ΔV<sub>FG</sub>急剧增加。这是由于耗尽层的电容Cd取决于ΔV<sub>FG</sub>并随ΔV<sub>FG</sub>的增加而减少，对应于Cd的减少，ΔV<sub>FG</sub>进一步增加。换句话说，ΔV<sub>FG</sub>的增加与正反馈有关。

- 25       如上所述，在第五实施例中，过高输入电压的较高幅值增加了浮栅MOSFET 60的ESD性能。通过利用该原则，采用将例如时钟信号之类的正常信号输入到半导体器件时，浮栅MOSFET 60不作为保护元件工作的结构。这是由于可以设计仅当输入阶跃电压具有的阶跃幅值比时钟信号电压高时，上面的浮栅MOSFET 60工作在夹断模式。

- 30       优选输入例如时钟信号之后使浮栅MOSFET 60的暂时操作完全无效，以减小半导体器件的功耗。通过一些结构可以实现所述无效。例如，二极管和电阻串联在I/O线和地线之间，二极管的阳极侧直接连接到I/O线。浮栅MOSFET 60的控制栅连接到连接二极管和电阻的

节点。二极管具有设计为特定值的反向击穿电压，由此仅当施加过高输入电压时才向控制栅提供工作电压。另一种技术是使保护电路包括连接到控制栅的电压检测器。

再回到图12A，浮栅nMOSFET 60可以由浮栅pMOSFET代替。这种情况下，浮栅电极55的多晶硅层掺有p型杂质，例如硼。此外，导电类型与以上描述的相反。

在上面的实施例中，控制栅电极的整个区域与浮栅电极的相对。然而，在本发明中，部分控制栅电极与浮栅的部分或整个表面相对，反之亦然。此时，控制栅和浮栅之间的电容C1降低以减少脉冲幅值  
10  $\Delta V_{FG}$ 。

最好是控制栅电极由例如多晶硅化物层之类的多晶硅层制成。这种情况下，输入过高电压之后在多晶硅层中形成耗尽层。耗尽层抑制了层间电极绝缘膜的击穿。此外，控制栅电极和浮栅电极之间的较小表观(apparent)电容C1减小了脉冲幅值 $\Delta V_{FG}$ 。多晶硅层可以掺有n  
15 型或p型杂质。

在本发明中，多个MOSFET可以串联或并联在保护电路中。

如上所述，本发明的原理是过高的输入电压暂时地升高了浮栅MOSFET的浮栅电位使MOSFET工作在夹断模式，并产生正电荷空穴。如此产生的正电荷空穴触发了浮栅MOSFET均匀地开始并进行  
20 ESD。本发明包括产生所述操作的其它结构。

现在，参考附图更加具体地介绍了本发明，其中类似的构成元件由类似的参考数字表示。



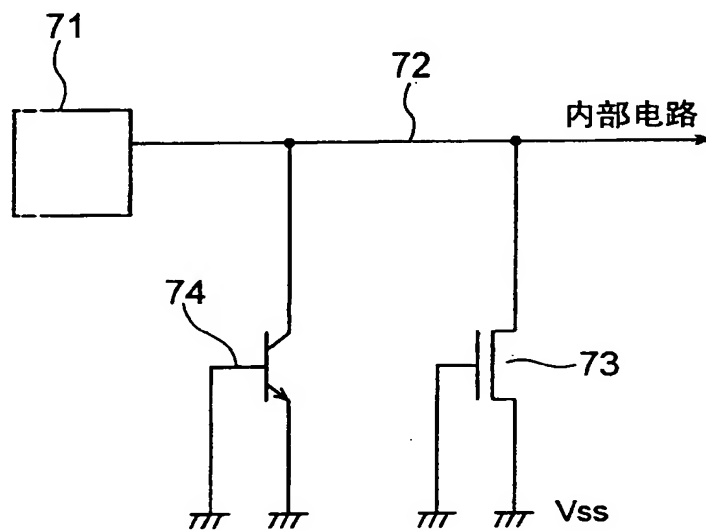


图 1A

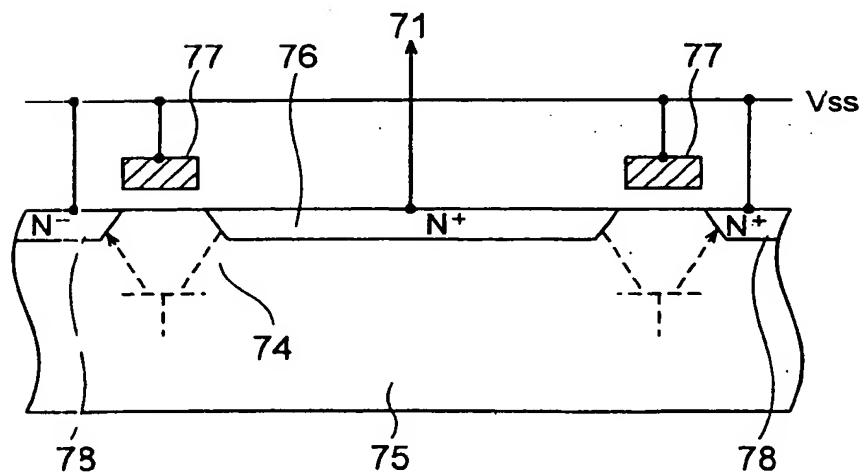


图 1B

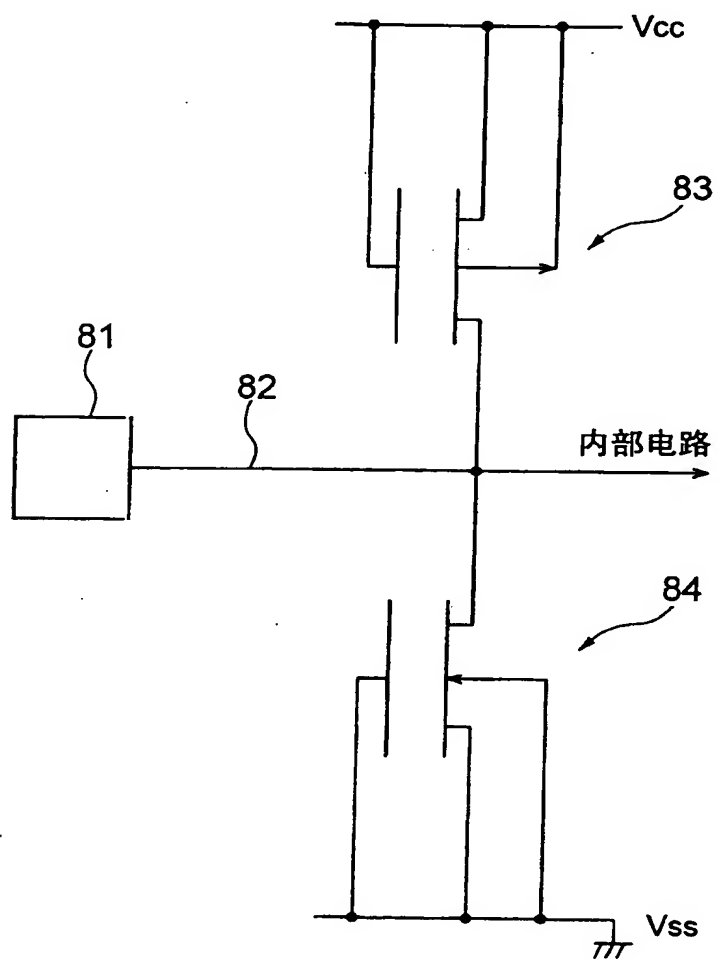


图 2

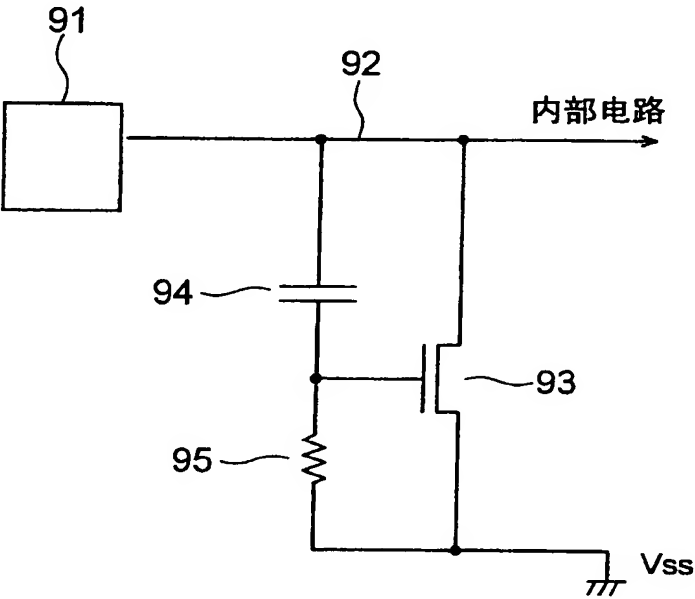


图 3

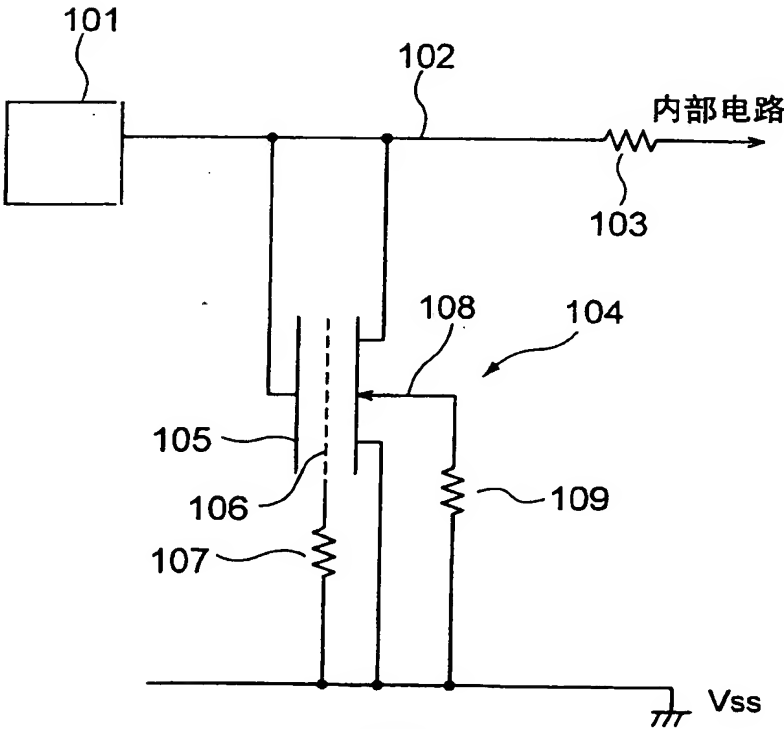


图 4

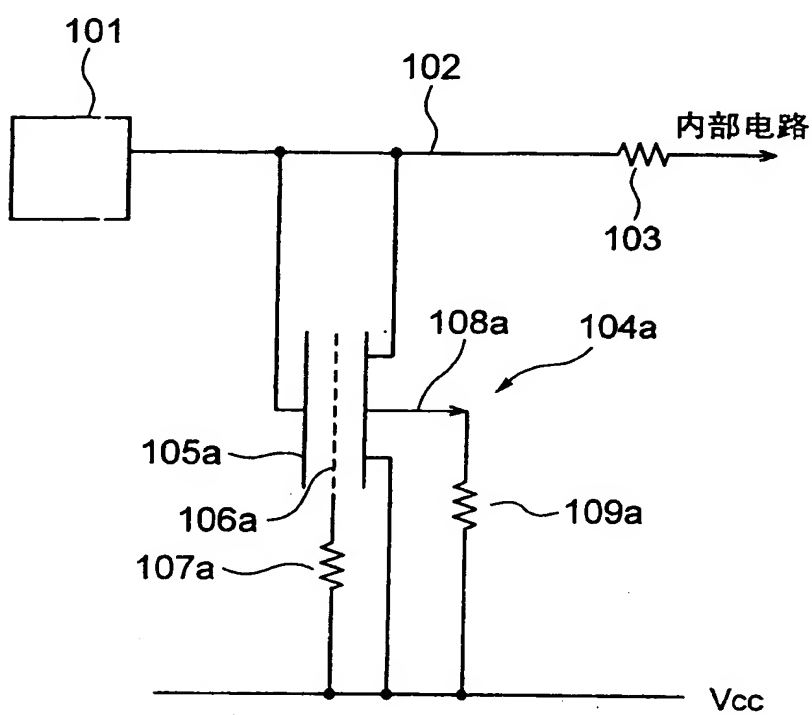


图 5

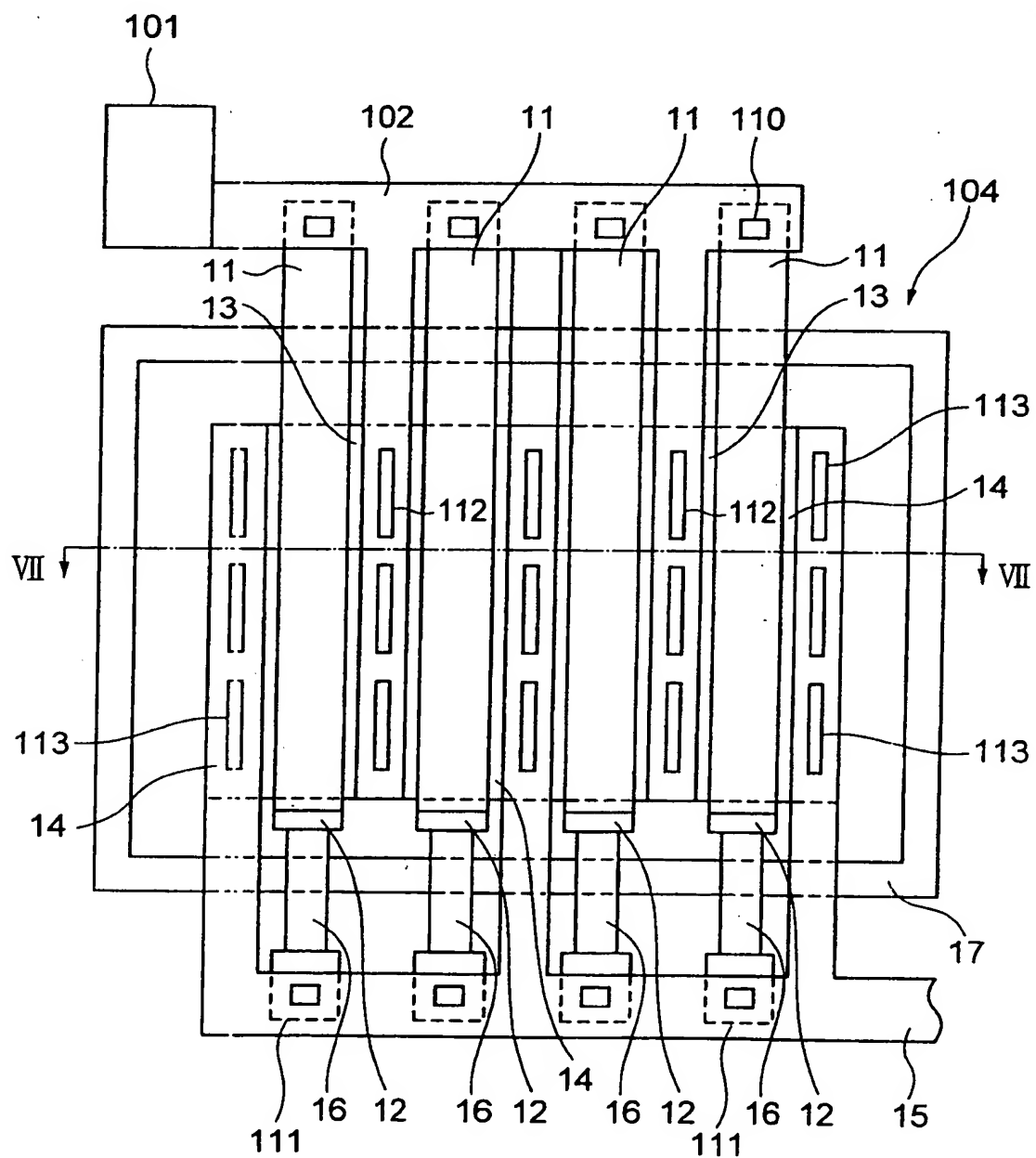


图 6

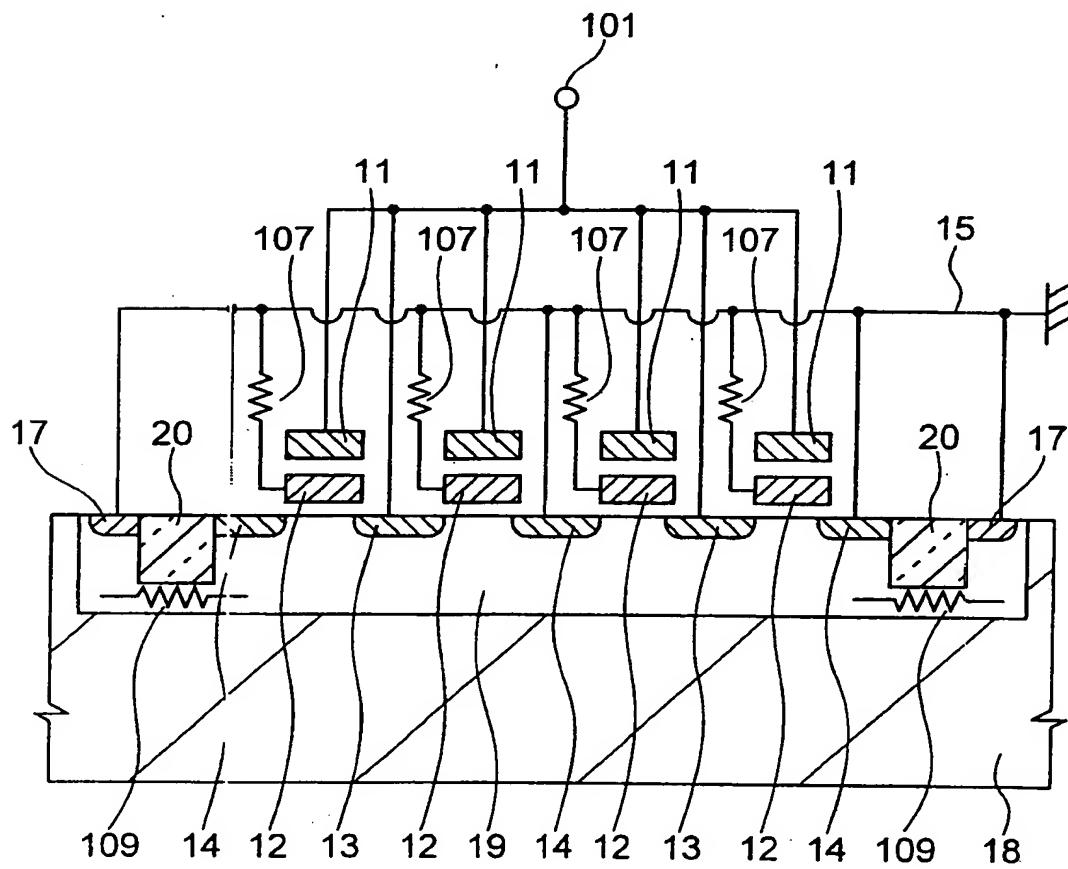


图 7

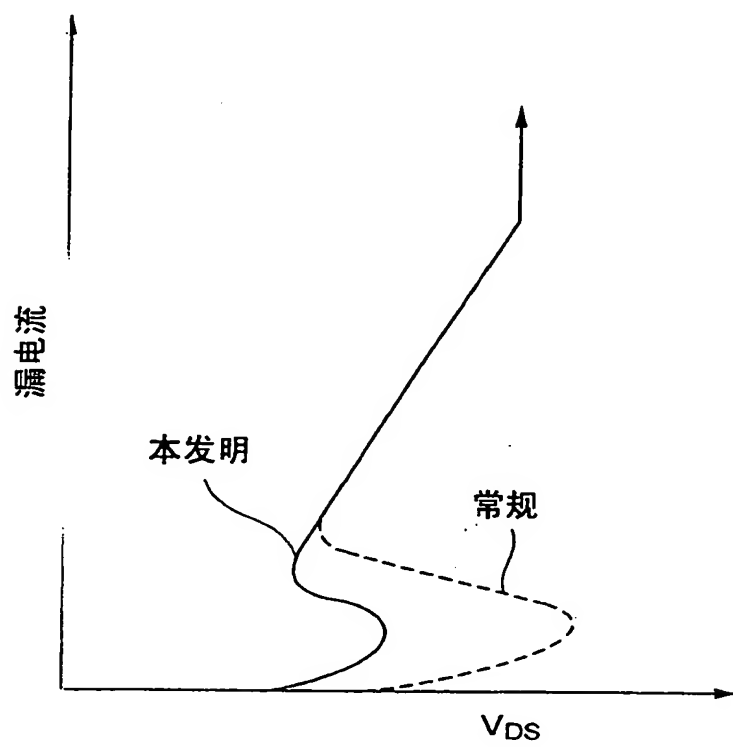


图 8





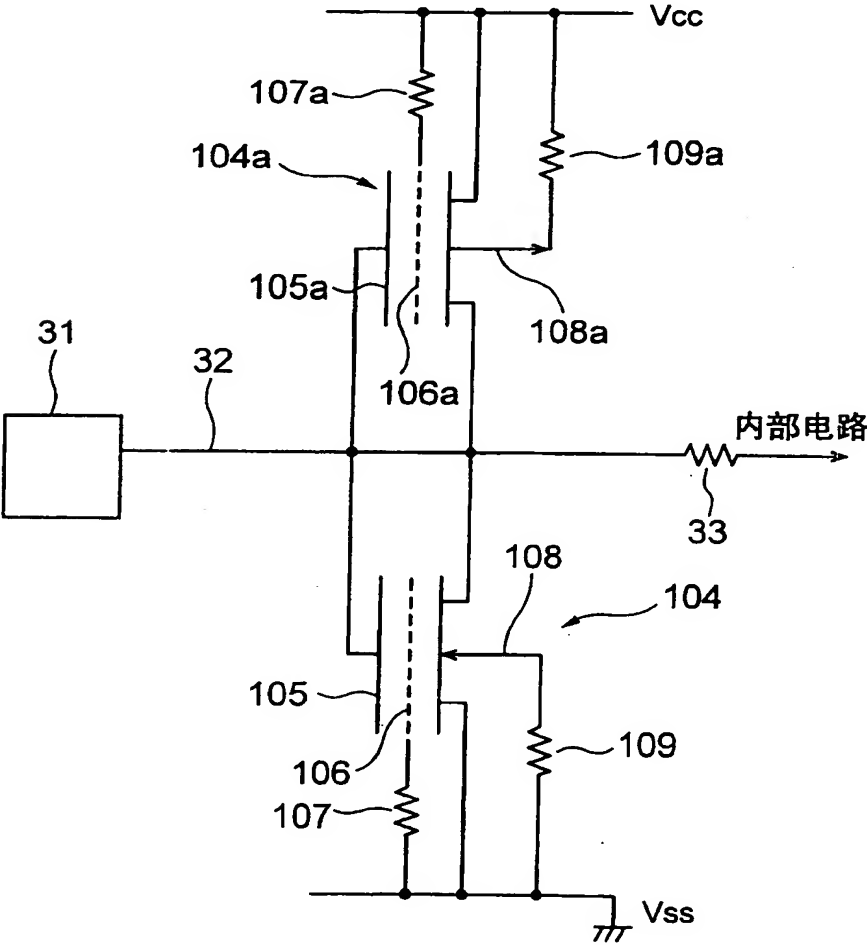


图 10

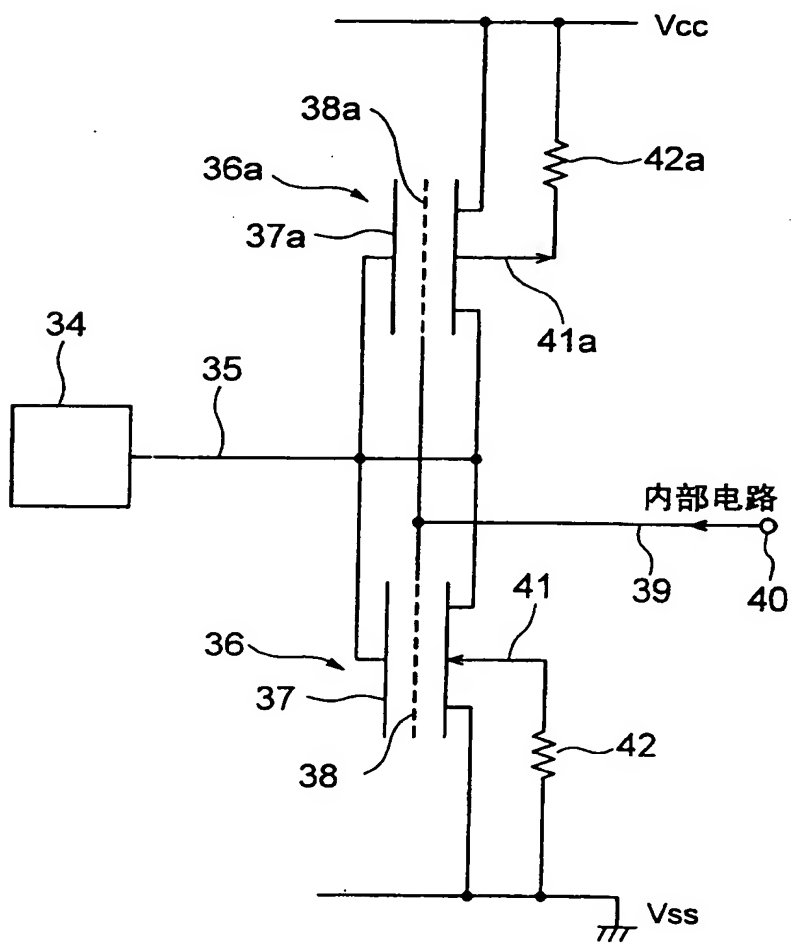


图 11

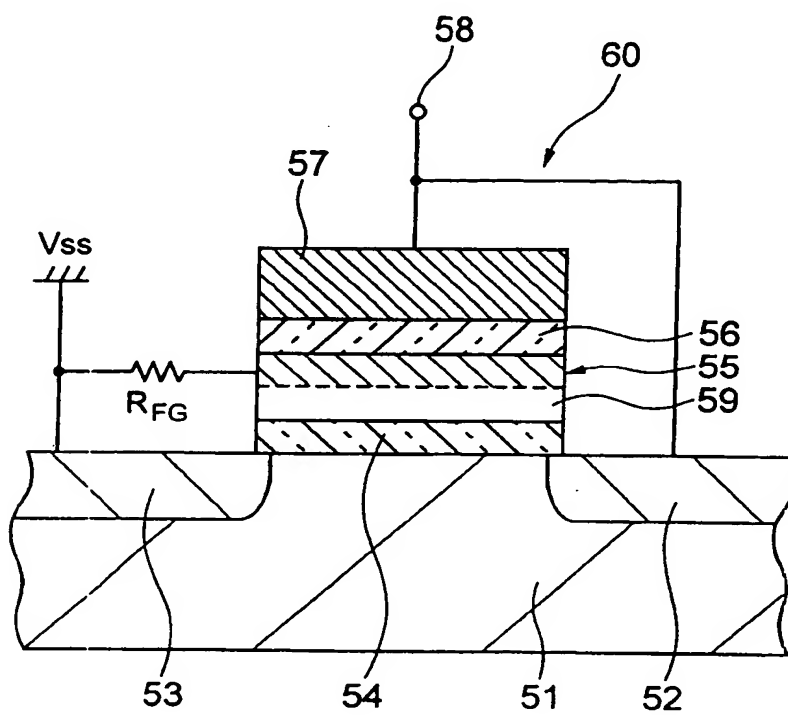


图 12A

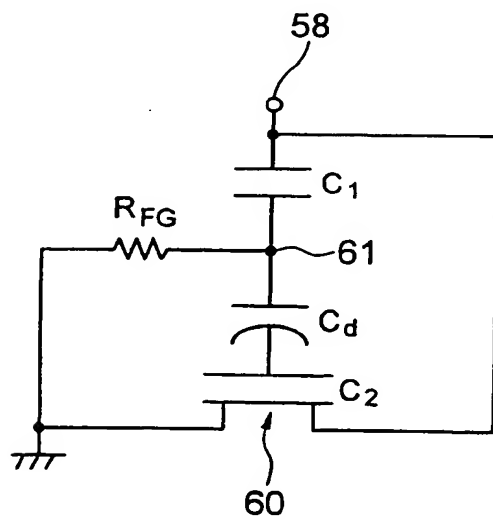


图 12B

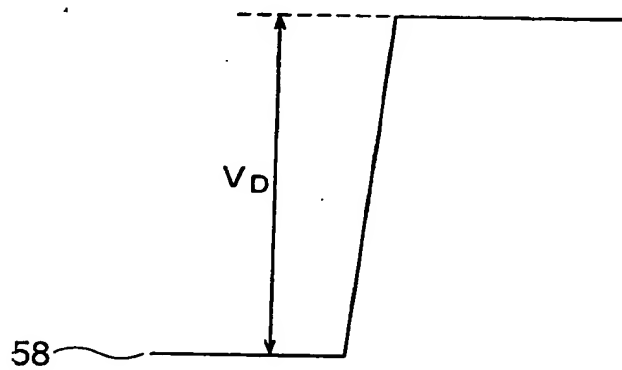


图 13A

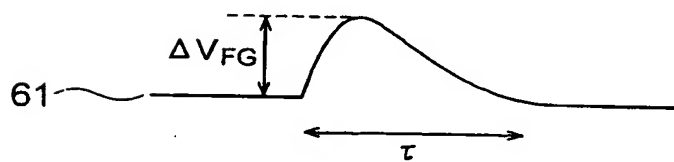


图 13B

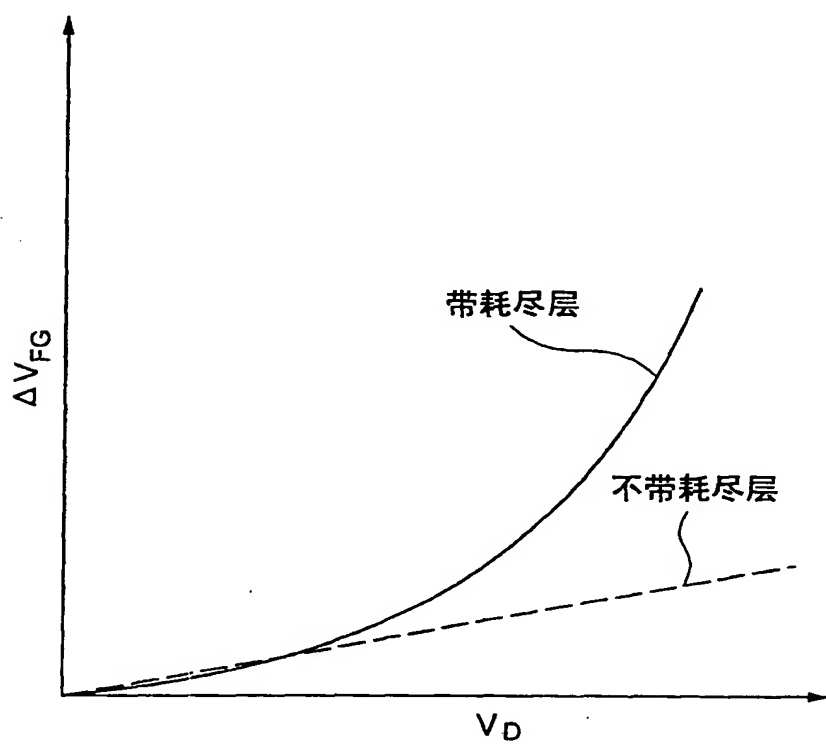


图 14